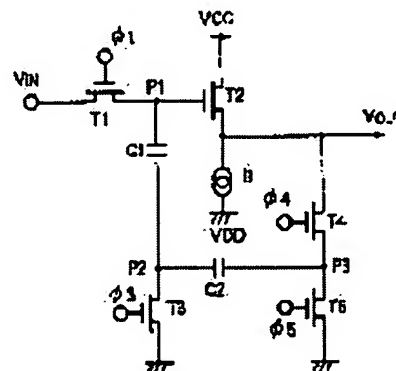


(11)Publication number : 09-330060  
(43)Date of publication of application : 22.12.1997

(51) Int. Cl.	G09G 3/36
	G02F 1/133
	G09G 3/20
	G11C 27/02

(21)Application number : 08-149153      (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 11.06.1996      (72)Inventor : SASAKI MINORU

**SOLUTION:** A reference voltage is inputted to a source follower I1 from an input terminal, offset voltage by TFT V1h is held in a capacitor C2 for canceling offset. Next, an input signal VIN is sampled and held in a capacitor C1 for holding, after that, offset voltage held in the capacitor C2 for canceling offset is subtracted from voltage of this capacitor C1, this subtracted voltage is inputted to the source follower I1, and the source follower operates so that canceled output is always obtained by offset.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330060

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	Z
G 1 1 C 27/02			G 1 1 C 27/02	C

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平8-149153

(22) 出願日 平成8年(1996)6月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐々木 実

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

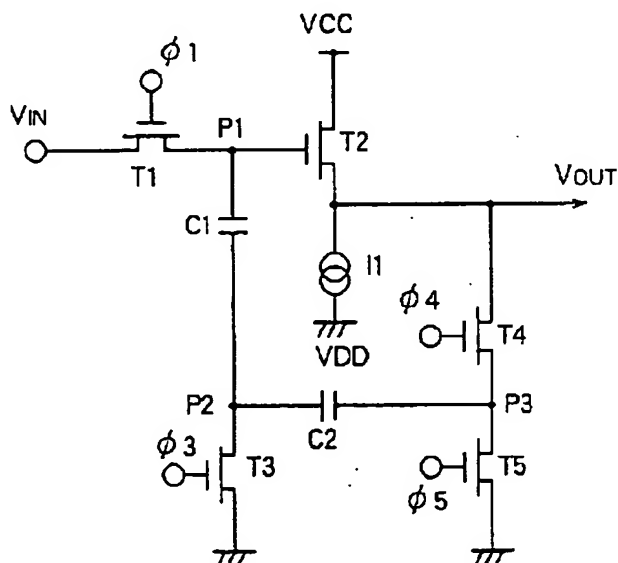
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 表示装置及び表示装置に用いるサンプルホールド増幅器

(57) 【要約】

【課題】 T F Tで構成される表示装置において、オフセット電圧が大きな増幅器を用いても、正確なサンプルホールド出力を得る。

【解決手段】 まず、入力信号  $V_{IN}$  により、基準電圧をソースフォロア I 1 に入力し、T F Tの  $V_{th}$  によるオフセット電圧をオフセットキャンセル用キャパシタ C 2 にホールドする。つぎに、入力信号  $V_{IN}$  をサンプリングして保持用キャパシタ C 1 にホールドし、その後、このキャパシタ C 1 の電圧からオフセットキャンセル用キャパシタ C 2 にホールドされていたオフセット電圧を減算し、この減算された電圧をソースフォロア I 1 に入力し、ソースフォロアには常にオフセットがキャンセルされた出力  $V_{OUT}$  を得るようにした。



【特許請求の範囲】

【請求項1】 走査線駆動部及び信号線駆動部により駆動されて画像表示を行うマトリクス表示部を備えた表示装置において、

前記信号線駆動部は、

前記マトリクス表示部の各信号線に対応するサンプリング信号を発生するパルス発生回路と前記各信号線毎に設けられ、前記パルス発生回路により前記サンプリング信号が供給されるとともに、制御信号により映像信号を前記各信号線に供給する複数のサンプルホールド増幅器とを備え、

前記サンプルホールド増幅器は、

入力信号をサンプリングする第1のMOSトランジスタと、

前記第1のMOSトランジスタによりサンプリングされた前記入力信号の電圧をホールドする第1のキャパシタと、

前記第1のキャパシタによりホールドされた電圧をインピーダンス変換し出力する第2のMOSトランジスタと、

前記第2のMOSトランジスタに接続され、その接続点を出力信号とするソースフォロア回路と、

前記ソースフォロア回路の前記接続点に一端が接続され、前記第1のキャパシタに他端が接続されるように制御され、前記出力信号の電圧をホールドする第2のキャパシタと、

第1段階では、基準電圧を前記第1のMOSトランジスタによりサンプリングして前記第2のMOSトランジスタに入力し、前記出力信号の電圧を前記第2のキャパシタにホールドし、

第2段階では、前記入力信号を前記第1のMOSトランジスタによりサンプリングして、前記第1のキャパシタにホールドし、

第3段階では、前記第1のキャパシタの電圧から前記第2のキャパシタの電圧を減算した電圧を前記第1のMOSトランジスタに入力して前記出力信号を出力する制御回路とを備えたことを特徴とする表示装置。

【請求項2】 前記制御回路は、

前記第1段階では、前記第2のキャパシタの前記一端を前記ソースフォロア回路に接続し、前記他端をアース電位に接続することにより、前記基準電圧をホールドし、

前記第2段階では、前記第2のキャパシタの前記一端を前記ソースフォロア回路から開放して、前記第1のキャパシタに前記入力信号をホールドし、

前記第3段階では、前記第2のキャパシタの前記他端をアース電位から切り放すとともに前記一端を前記アース電位に接続し、前記第1のキャパシタのアース電位に接続されていた端子を切り放すことにより、前記第1のキャパシタの他端を前記第2のMOSトランジスタに入力し、前記ソースフォロア回路の出力信号を出力するアレ

を特徴とする請求項1に記載の表示装置。

【請求項3】 前記制御回路は、

前記第1及び第2のキャパシタの接続点に一端が接続され、アース電位に他端が接続された第3のMOSトランジスタと、

前記ソースフォロア回路の前記接続点に一端が接続され、前記第2のキャパシタに他端が接続された第4のMOSトランジスタと、

前記第3のMOSトランジスタ及び前記第2のキャパシタの接続点に一端が接続され、アース電位に他端が接続された第5のMOSトランジスタとを備えたことを特徴とする請求項1又は2に記載の表示装置。

【請求項4】 入力信号をサンプリングする第6のMOSトランジスタと、

前記サンプリングされた前記入力信号の電圧をホールドする第3のキャパシタと、

前記第3のキャパシタにホールドされた前記入力信号の電圧を次段に供給する第7のMOSトランジスタと、前記基準電圧を次段に供給する第8のMOSトランジスタと、

前記第7のMOSトランジスタ及び前記第8のMOSトランジスタの出力がゲート電極に接続された第9のMOSトランジスタと、

前記第9のMOSトランジスタに接続された第2のソースフォロア回路とを前記サンプルホールド増幅器の前段にさらに備え、

前記第1段階において、前記第8のMOSトランジスタをオンとすることにより、前記サンプルホールド増幅器に前記基準電圧を出力し、

前記第2段階において、前記第7のMOSトランジスタをオンとすることにより、前記サンプルホールド増幅器に前記入力信号の電圧を出力することを特徴とする請求項1乃至3のいずれかに記載の表示装置。

【請求項5】 第2のMOSトランジスタと第9のMOSトランジスタは逆極性の導電性であることを特徴とする請求項4に記載の表示装置。

【請求項6】 入力信号をサンプリングする第1のMOSトランジスタと、

前記第1のMOSトランジスタによりサンプリングされた前記入力信号の電圧をホールドする第1のキャパシタと、

前記第1のキャパシタによりホールドされた電圧をインピーダンス変換し出力する第2のMOSトランジスタと、

前記第2のMOSトランジスタに接続され、その接続点を出力信号とするソースフォロア回路と、

前記ソースフォロア回路の前記接続点に一端が接続され、前記第1のキャパシタに他端が接続されるように制御され、前記出力信号の電圧をホールドする第2のキャパシタと

第1段階では、基準電圧を前記第1のMOSトランジスタによりサンプリングして前記第2のMOSトランジスタに入力し、前記出力信号の電圧を前記第2のキャパシタにホールドし、

第2段階では、前記入力信号を前記第1のMOSトランジスタによりサンプリングして、前記第1のキャパシタにホールドし、

第3段階では、前記第1のキャパシタの電圧から前記第2のキャパシタの電圧を減算した電圧を前記第1のMOSトランジスタに入力して前記出力信号を出力する制御回路とを備えたことを特徴とする表示装置に用いるサンプルホールド増幅器。

【請求項7】前記制御回路は、

前記第1段階では、前記第2のキャパシタの前記一端を前記ソースフォロア回路に接続し、前記他端をアース電位に接続することにより、前記基準電圧をホールドし、前記第2段階では、前記第2のキャパシタの前記一端を前記ソースフォロア回路から開放して、前記第1のキャパシタに前記入力信号をホールドし、

前記第3段階では、前記第2のキャパシタの前記他端をアース電位から切り放すとともに前記一端を前記アース電位に接続し、前記第1のキャパシタのアース電位に接続されていた端子を切り放すことにより、前記第1のキャパシタの他端を前記第2のMOSトランジスタに入力し、前記ソースフォロア回路の出力信号を出力することを特徴とする請求項6に記載の表示装置に用いるサンプルホールド増幅器。

【請求項8】前記制御回路は、

前記第1及び第2のキャパシタの接続点に一端が接続され、アース電位に他端が接続された第3のMOSトランジスタと、

前記ソースフォロア回路の前記接続点に一端が接続され、前記第2のキャパシタに他端が接続された第4のMOSトランジスタと、

前記第3のMOSトランジスタ及び前記第2のキャパシタの接続点に一端が接続され、アース電位に他端が接続された第5のMOSトランジスタとを備えたことを特徴とする請求項6又は7に記載の表示装置に用いるサンプルホールド増幅器。

【請求項9】前記ソースフォロア回路は、定電流源、抵抗、MOSトランジスタ、又は、MOSトランジスタと抵抗との並列回路で構成されることを特徴とした請求項1乃至5のいずれかに記載の表示装置、又は、請求項6乃至8のいずれかに記載の表示装置に用いるサンプルホールド増幅器。

【請求項10】前記ソースフォロア回路は、第10のMOSトランジスタを介して第2の基準電圧に接続される回路を含み、

前記基準電圧が入力される前に、前記第10のMOSトランジスタの入力信号を前記第10のMOSトランジスタの入力信号と前記第10のMOSトランジスタの入力信号との差を出力する差分増幅器を備えることを特徴とする請求項10に記載の表示装置に用いるサンプルホールド増幅器。

第2の基準電圧にセットすることを特徴とした請求項1乃至5のいずれかに記載の表示装置、又は、請求項6乃至8のいずれかに記載の表示装置に用いるサンプルホールド増幅器。

【請求項11】前記入力信号のオフセットキャンセル出力がソースフォロア回路の前記出力から出力されるときオンされる第11のMOSトランジスタをさらに備えたことを特徴とした請求項1乃至5のいずれかに記載の表示装置、又は、請求項6乃至8のいずれかに記載の表示装置に用いるサンプルホールド増幅器。

【請求項12】各々の前記MOSトランジスタは、絶縁基板上に形成した非単結晶シリコントランジスタで構成されていることを特徴とした請求項1乃至5のいずれかに記載の表示装置、又は、請求項6乃至8のいずれかに記載の表示装置に用いるサンプルホールド増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示装置及び表示装置に用いられるサンプルホールド増幅器に関し、特に、液晶ディスプレイ、プラズマディスプレイの駆動回路等に用いられる、MOSトランジスタを使った高精度のサンプルホールド増幅器に関する。

【0002】

【従来の技術】一般に、マトリクス表示装置の信号駆動部においては、信号線に出力される信号を保持するためのサンプルホールド増幅器が設けられている。

【0003】図11に、従来のサンプルホールド増幅器の回路図を示す。以下に、従来のサンプルホールド増幅器の動作を説明する。まず、入力信号 $V_{IN}$ は、スイッチ $S1$ によりサンプリングされ、サンプリングされた電圧はキャパシタ $C$ によりホールドされる。ホールドされた電圧は、増幅器 $A1$ により増幅及びインピーダンス変換されて出力される。ここで、例えば、スイッチ $S1$ はMOSトランジスタ等、また、増幅器 $A1$ はOPアンプ等が用いられる。

【0004】しかしながら、通常、OPアンプは、素子数が多く、回路規模が大きくなるため、一般には、簡易的にソースフォロア回路が使われる。図12に、ソースフォロア回路を用いたサンプルホールド増幅器の回路図を示す。この回路では、図11の回路と同様に、スイッチ用のトランジスタ $T1$ により入力信号 $V_{IN}$ がサンプリングされ、キャパシタ $C1$ によりホールドされる。ホールドされた電圧は、トランジスタ $T2$ 及びソースフォロア回路である定電流源 $I1$ により、増幅及びインピーダンス変換され出力電圧 $V_{OUT}$ が出力される。このようなサンプルホールド増幅器が、例えば、液晶ディスプレイ等に用いられる場合は、トランジスタ $T1$ 、 $T2$ は、薄膜トランジスタ(TFT)で構成される。

【0005】

【発明の要約】トランジスタと定電流源とを備えるソースフォロア回路を用いたサンプルホールド増幅器に関する。

晶シリコンで作成したMOSトランジスタの場合は、閾値 $V_{th}$ の制御が行われており、ソースフォロアの入出力オフセットのばらつきは少ない。しかしながら、非結晶シリコン、例えばポリシリコン、アモルファスシリコンで作成したTFTの場合は、閾値 $V_{th}$ の制御が難しく、ソースフォロアのオフセットのばらつきが大きく、正確な出力が得られない。すなわち、サンプルホールド増幅器に、非結晶シリコン等で作成したTFTにより構成したソースフォロアを使用した場合は、閾値 $V_{th}$ のばらつきが大きく正確な出力が得られなかった。

【0006】本発明は、上記の点に鑑みてなされたものであり、 $V_{th}$ のばらつきが大きくても正確な出力が得られるようにしたサンプルホールド増幅器を備えた表示装置及び表示装置に用いるサンプルホールド増幅器を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明によると、走査線駆動部及び信号線駆動部により駆動されて画像表示を行うマトリクス表示部を備えた表示装置において、前記信号線駆動部は、前記マトリクス表示部の各信号線に対応するサンプリング信号を発生するパルス発生回路と前記各信号線毎に設けられ、前記パルス発生回路により前記サンプリング信号が供給されるとともに、制御信号により映像信号を前記各信号線に供給する複数のサンプルホールド増幅器とを備え、前記サンプルホールド増幅器は、入力信号をサンプリングする第1のMOSトランジスタと、前記第1のMOSトランジスタによりサンプリングされた前記入力信号の電圧をホールドする第1のキャパシタと、前記第1のキャパシタによりホールドされた電圧をインピーダンス変換し出力する第2のMOSトランジスタと、前記第2のMOSトランジスタに接続され、その接続点を出力信号とするソースフォロア回路と、前記ソースフォロア回路の前記接続点に一端が接続され、前記第一のキャパシタに他端が接続されるように制御され、前記出力信号の電圧をホールドする第2のキャパシタと、第1段階では、基準電圧を前記第1のMOSトランジスタによりサンプリングして前記第2のキャパシタにホールドし、第2段階では、前記入力信号を前記第1のMOSトランジスタによりサンプリングして、前記第1のキャパシタにホールドし、第3段階では、前記第1のキャパシタの電圧から前記第2のキャパシタの電圧を減算した電圧を前記第1のMOSトランジスタに入力して前記出力信号を出力する制御回路とを備えたことを特徴とする表示装置を提供する。

【0008】また、本発明によると、入力信号をサンプリングする第1のMOSトランジスタと、前記第1のMOSトランジスタによりサンプリングされた前記入力信号の電圧をホールドする第1のキャパシタと、前記第1のキャパシタによりホールドされた電圧をインピーダン

ス変換し出力する第2のMOSトランジスタと、前記第2のMOSトランジスタに接続され、その接続点を出力信号とするソースフォロア回路と、前記ソースフォロア回路の前記接続点に一端が接続され、前記第一のキャパシタに他端が接続されるように制御され、前記出力信号の電圧をホールドする第2のキャパシタと、第1段階では、基準電圧を前記第1のMOSトランジスタによりサンプリングして前記第2のMOSトランジスタに入力し、前記出力信号の電圧を前記第2のキャパシタにホールドし、第2段階では、前記入力信号を前記第1のMOSトランジスタによりサンプリングして、前記第1のキャパシタにホールドし、第3段階では、前記第1のキャパシタの電圧から前記第2のキャパシタの電圧を減算した電圧を前記第1のMOSトランジスタに入力して前記出力信号を出力する制御回路とを備えたことを特徴とする表示装置に用いるサンプルホールド増幅器を提供する。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0010】図1に、TFTで構成した本発明に係るサンプルホールド増幅器の第1の実施の形態の回路図を示す。また、図2に、本発明に係るサンプルホールド増幅器の第1の実施の形態の動作を説明するためのタイミングチャートを示す。図1において、TFT1は、サンプリング用トランジスタ、また、TFT2は、増幅及びインピーダンス変換用トランジスタである。TFT3~T5は、オフセットキャンセル回路を構成するトランジスタである。キャパシタC1は、サンプリング電圧ホールド用のキャパシタである。また、キャパシタC2は、オフセットキャンセル用キャパシタである。キャパシタC1及びC2の容量値の条件としては、例えば、0.01~1pF程度の同等の値を用いることができる。端子φ1には、サンプリング用制御信号が印加される。φ3~φ5には、オフセットキャンセルのための所定の制御信号が印加される。ここでは、ソースフォロア回路としては、定電流源I1が用いられる。

【0011】つぎに、動作を説明する。まず最初に、入力 $V_{IN}$ から基準電圧 $V_0$ を入力し、時刻 $t_1$ でφ1をHIGHにして、TFT1をONにして、キャパシタC1を $V_0$ に充電する。このとき、TFT2のゲートに $V_0$ が入力され、このソース電圧は $(V_0 - V_{th2})$ となる。ただし $V_{th2}$ はTFT2の閾値である。ここで、φ3及びφ4はHIGH、φ5はLOWであるから、このソース電圧は、TFT4、T3を介しキャパシタC2にホールドされる。そして、出力 $V_{OUT}$ は、ソース電圧 $(V_0 - V_{th2})$ となる。

【0012】つぎに、時刻 $t_3$ では、φ4がLOWとなりTFT4がOFFとなる。出力 $V_{OUT}$ は、ソース電圧 $(V_0 - V_{th2})$ のままである。

【0013】ここで、時刻 $t_4$ で、再び $\phi_1$ がHIGHとなり、TFTT1がONとなることにより、入力信号 $V_{sig}$ がサンプリングされる。このとき、TFTT4はOFFであるから、出力 $V_{OUT}$ は、電圧 $(V_{sig} - V_{th2})$ となる。

【0014】つぎに、時刻 $t_5$ では、 $\phi_1$ がLOWとなり、TFTT1がOFFとなるから、キャパシタC1に入力信号電圧 $V_{sig}$ がホールドされる。この時、TFTT4はOFFのままであるから、TFTT2のソース電圧、即ち出力 $V_{OUT}$ は、 $(V_{sig} - V_{th2})$ である。

【0015】ここで、時刻 $t_6$ では、 $\phi_3$ がLOW、 $\phi_5$ がHIGHとなり、TFTT3がOFF、T5がONとなり、キャパシタC2はキャパシタC1に直列接続される。ここで、キャパシタC2には電圧 $(V_0 - V_{th2})$ がホールドされているから、T2のゲート電圧には、 $V_{sig} - (V_0 - V_{th2})$ が印加される。

【0016】従って、TFTT2のソース電圧である出力 $V_{OUT}$ は、

$$V_{OUT} = (V_{sig} - (V_0 - V_{th2})) - V_{th2} \\ = V_{sig} - V_0$$

となる。ここで、基準電圧 $V_0$ を0(V)とすると、出力 $V_{OUT}$ は $V_{sig}$ となり、出力 $V_{OUT}$ は、TFTT2の閾値には無関係となり、正確な出力が得られる。

【0017】第1の実施の形態では、ソースフォロア回路としては定電流源I1を用いたが、その他のソースフォロア回路で構成することもできる。

【0018】図3に、ソースフォロア回路を抵抗で構成した本発明に係るサンプルホールド増幅器の第2の実施の形態の回路図を示す。ここでは、ソースフォロア回路として、TFTT2のソース電極に、抵抗R1を介して基準電圧 $V_{DD}$ に接続した構成を用いた。抵抗R1の抵抗値としては、大きすぎると（例えば、100k $\Omega$ 以上）、放電しにくくなり、一方小さすぎると（例えば、1k $\Omega$ 以下）リニアリティの問題が生じる可能性があるため、これに注意しながら適宜の値を選択することができる。他の構成及び動作については、第1の実施の形態と同様である。

【0019】サンプルホールド増幅器では、出力インピーダンスを下げるために、ある程度定常的に電流を流す必要があり、抵抗を用いた場合、消費電力が問題となることがある。そこで、図4に、低消費電力とするためにソースフォロア回路をMOSトランジスタと抵抗で構成した本発明に係るサンプルホールド増幅器の第3の実施の形態の回路図を示す。また、図5に、本発明に係るサンプルホールド増幅器の第3の実施の形態の動作を説明するためのタイミングチャートを示す。ここでは、ソースフォロア回路として、高抵抗の抵抗R1とTFTT6の並列回路を用いる。TFTT2のソース電極は、この並列回路を介して基準電圧 $V_{DD}$ に接続される。抵抗R1の

抵抗値としては、例えば、100k $\sim$ 1M $\Omega$ 等が用いられる。その他の構成は、第1の実施の形態と同様である。

【0020】つぎに、動作を説明する。図5に示すように、まず、 $\phi_6$ をHIGHとしてTFTT2のソース電圧、即ち出力 $V_{OUT}$ を一定基準電圧 $V_{DD}$ にセットする。つぎに、 $\phi_6$ をLOWとした後に、第1の実施の形態と同様に、即ち図2と同様に、制御動作を行うことができる。この場合は、ソースフォロアに常時流れる電流はわずかになり低消費電力となると共に、TFTT2のON抵抗によるソース電圧の低下が非常に少なくなるため、より正確な出力が得られる。

【0021】なお、TFTT6と並列に浮遊容量がある場合等は、抵抗R1を除き、TFTT6のみで構成することも可能である。

【0022】つぎに、図6に、出力回路を備えた本発明に係るサンプルホールド増幅器の第4の実施の形態の回路図を示す。

【0023】図6では、ソースフォロア回路の出力 $V_{OUT}$ にスイッチ用TFTT7を接続したものである。ソースフォロア回路としては、上述の第1～第3の実施の形態の各回路等を用いることができる。ここで、基準電圧のサンプリング時の電圧を出力させないために、入力信号のサンプルホールド電圧がソースフォロアに出力後に、 $\phi_7$ をHIGHとしてTFTT7を開きくように制御する。これにより、一層安定した出力を供給することができる。

【0024】つぎに、図7に、TFT液晶ディスプレイ（TFT-LCD）の信号線駆動回路に応用した本発明のサンプルホールド増幅器に関連する構成図を示す。一般に、このような液晶ディスプレイ装置は、画素を構成するアレイ基板とカラーフィルタの形成された対向基板の間に液晶を封入し、更に両基板に偏光板を配置し、背面からバックライトにより照明するものである。走査線駆動回路10は、走査線G1～G4に選択信号を出力し、信号線駆動回路20は、信号線D1～D4に選択信号を出力する。マトリクス表示部30のアレイ基板は、画素P11～P44ごとに、信号サンプリング用のTFTT11～T44と、電圧保持用の補助容量、画素電極などから構成される。

【0025】信号線駆動回路20には、D/A変換方式、デジタル方式等があり、また、レファレンス電圧を切換える方式もある。ここでは、一例として、アナログサンプルホールド方式の信号線駆動回路20について説明するが、それ以外のデジタル方式等のものでも同様に適宜構成することができる。

【0026】信号線駆動回路20は、シフトレジスタ21、各信号線D1～D4に対して設けられたサンプルホールド増幅器22-1～22-4を含む。シフトレジスタ21は、出力S1～S4に順次サンプリングパルスを11

-1~φ11-4を発生させる。サンプルホールド増幅器22-1~22-4には、サンプリングパルスφ11-1~φ11-4に基づいて映像信号( $V_{sig}$ )が入力 $V_{IN}$ に入力され、さらに、制御信号φ12~φ16により制御されて、出力 $V_{OUT}$ が信号線D1~D4に出力される。

【0027】ここで、φ11~φ16の制御信号、入力 $V_{IN}$ 及び出力 $V_{OUT}$ は、上述の第1~第4の実施の形態と対応している。また、信号線は、D1~D4の4本に限らず、任意の数だけ設けることができる。

【0028】つぎに、図8に、TFT液晶ディスプレイ(TFT-LCD)の信号線駆動回路に応用した本発明に係るサンプルホールド増幅器の第5の実施の形態の回路図を示す。図7におけるサンプルホールド増幅器22-1~22-4は、図8のように第1及び第2のサンプルホールド増幅器81及び82を含む。

【0029】図8において、TFTT106~TFTT111及びキャパシタC12~C13により、第1のサンプルホールド増幅器81を構成する。これが、本発明の第1~第4の実施の形態のサンプルホールド増幅器に相当する。第1のサンプルホールド増幅器81において、TFTT106は、サンプリング用トランジスタ、また、TFTT107は、増幅及びインピーダンス変換用トランジスタである。TFTT108は、第1ソースフォロア回路である。また、TFTT109~TFTT111は、オフセットキャンセル回路を構成するトランジスタである。キャパシタC12は、サンプリング電圧ホールド用のキャパシタ、また、キャパシタC13は、オフセットキャンセル用キャパシタである。制御端子φ11~φ16には、サンプリング及びオフセットキャンセル等のための所定の制御信号が印加される。

【0030】また、TFTT101~TFTT105及びキャパシタC11により、第2のサンプルホールド増幅器82を構成する。第2のサンプルホールド増幅器は、本発明の第1~第4の実施の形態のサンプルホールド増幅器の前段に設けられた回路であり、入力信号の電圧又は基準電圧を第1のサンプルホールド増幅器81に出力する。第2のサンプルホールド増幅器82において、TFTT101は、サンプリング用トランジスタ、また、TFTT104は、増幅及びインピーダンス変換用トランジスタである。TFTT105は第1ソースフォロア回路である。また、キャパシタC11は、サンプリング電圧ホールド用のキャパシタである。

【0031】また、図9には、入力 $V_{IN}$ に入力される映像信号 $V_{sig}$ 、及び制御信号φ11~φ16の波形図を示す。図9において、映像信号 $V_{sig}$ に関し、「1H」は、水平期間を示し、「HBL」は、水平ブランキング期間を示す。ここでは、ある水平期間1H-1で時刻 $t_x$ における映像信号の電圧値 $V_{sig}$ が、φ11によりサンプリングされ、その後の水平ブランキング期間HBL-1でオフセットキャンセルされる。さらに、図10に、★

発明に係るサンプルホールド増幅器の第5の実施の形態の動作を説明するための詳細なタイミングチャートを示す。これは、一例として、図9の時刻 $t_x \sim t_7$ における動作を詳細に説明するものである。

【0032】以下に動作を説明する。ひとつの水平期間1Hの位置に応じ、x列目の信号線について、時刻 $t_x$ でφ11をHIGHとし、TFTT101をONとすることにより、入力信号 $V_{IN}$ の電圧 $V_{sig}$ をサンプリングし、キャパシタC11でホールドする。

【0033】例えば、時刻 $t_4 \sim t_7$ の水平ブランキング期間(HBL)を例に説明する。

【0034】まず、時刻 $t_4$ では、φ14がHIGHとなり、他の制御端子φ11~13、φ15、φ16はLOWである。よって、TFTT105及びT108がONとなるので、第1及び第2ソースフォロアの出力P3、P5は、基準電圧 $V_{DD}$ にリセットされる。

【0035】つぎに、時刻 $t_5$ では、φ14がLOWに変わる。また、φ13がHIGHとなり、TFTT103がONとなるから、P2は0Vとなるとともに、P3は $-V_{th4}$  ( $V_{th4}$ は、TFTT104の閾値)となる。同時に、φ15がHIGHとなり、TFTT106がONとなるので、P4は $-V_{th4}$ となり、P5、P7は、 $(-V_{th4} - V_{th7})$  ( $V_{th7}$ は、TFTT107の閾値)となる。この電圧は、φ13がHIGHであるから、TFTT110を介して、キャパシタC13にホールドされる。

【0036】つぎに、時刻 $t_6$ では、φ12及びφ15がHIGHとなり、他はLOWとなる。よって、TFTT102がONとなり、一方、φ13はLOWとなるので、P2の電圧は、キャパシタC11にホールドされたP1と同一電圧 $V_{sig}$ となる。また、したがって、P3及びP4は、 $(V_{sig} - V_{th4})$ となる。また、TFTT109はONとなり、キャパシタC12には、この電圧( $V_{sig} - V_{th4}$ )がホールドされる。このとき、TFTT110はOFFであるから、P5の電圧は、 $(V_{sig} - V_{th4} - V_{th7})$ となる。

【0037】つぎに、時刻 $t_7$ では、φ16がHIGHとなり、他はLOWとなる。よって、TFTT111がONとなり、TFTT109がOFFであるから、キャパシタC12及びC13の直列回路が形成される。その結果、P7は0Vとなり、P6はキャパシタC13にホールドされた電圧により、 $(V_{th4} + V_{th7})$ となるから、P4はC12にホールドされていた電圧( $V_{sig} - V_{th4}$ )が加算され、

$V_{sig} - V_{th4} + (V_{th4} + V_{th7}) = V_{sig} + V_{th7}$ となる。したがって、P5の電圧、即ち出力 $V_{OUT}$ は、 $V_{sig} + V_{th7} - V_{th7} = V_{sig}$ となる。

【0038】このようにして、1H前にサンプリングホールドされた映像信号 $V_{sig}$ が、つぎの1Hで正確に出力されることになる。



【0039】なお、ここでは、ソースフォロア回路として第3の実施の形態のようなMOSトランジスタで構成した回路を用いたが、これに限らず、他の実施の形態のような回路を用いることもできる。

【0040】また、ソースフォロア回路及びシフトレジスタ回路等は、マトリクス表示部30と同じ工程により、同一基板上に形成することができる。その他、適宜必要な回路を選択して、マトリクス表示部30と同一基板上に形成することができる。

【0041】ここでは、説明の都合上4×4のマトリクス表示装置を対象としたが、N×N（Nは、2以上の整数）のマトリクス表示装置に適用できる。

【0042】また、上記の各実施の形態では、TFTを全てnチャネルトランジスタの場合で説明したが、pチャネルトランジスタで構成しても良い。またサンプリング用TFTT1のみをpチャネルで構成し、他のTFTはnチャネルトランジスタで構成する等、適宜nチャネル、pチャネルを組み合わせることもできる。

【0043】

【発明の効果】本発明によれば、オフセット電圧が大きな増幅器を用いても、正確なサンプルホールド出力を得ることができる。特に、非結晶シリコン等のTFTで構成されたTFT-LCDの信号線駆動に必要な高性能なサンプルホールド増幅器を構成することが可能となる。さらに、本発明によれば、このようなサンプルホールド増幅器を備えた表示装置を提供することができる。

【図面の簡単な説明】

【図1】TFTで構成した本発明に係るサンプルホールド増幅器の第1の実施の形態の回路図。

【図2】本発明に係るサンプルホールド増幅器の第1の実施の形態の動作を説明するためのタイミングチャート。

【図3】ソースフォロア回路を抵抗で構成した本発明に係るサンプルホールド増幅器の第2の実施の形態の回路図。

【図4】ソースフォロア回路をMOSトランジスタと抵抗で構成した本発明に係るサンプルホールド増幅器の第3の実施の形態の回路図。

【図5】本発明に係るサンプルホールド増幅器の第3の実施の形態の動作を説明するためのタイミングチャート。

【図6】出力回路を備えた本発明に係るサンプルホールド増幅器の第4の実施の形態の回路図。

【図7】TFT液晶ディスプレイ（TFT-LCD）の信号線駆動回路に応用した本発明のサンプルホールド増幅器に関連する構成図。

【図8】TFT液晶ディスプレイ（TFT-LCD）の信号線駆動回路に応用した本発明に係るサンプルホールド増幅器の第5の実施の形態の回路図。

【図9】本発明に係るサンプルホールド増幅器の第5の実施の形態に関し、入力VINに入力される映像信号Vsig及び制御信号φ11～φ16の波形図。

【図10】本発明に係るサンプルホールド増幅器の第5の実施の形態の動作を説明するための詳細なタイミングチャート。

【図11】従来のサンプルホールド増幅器の回路図。

【図12】ソースフォロア回路を用いたサンプルホールド増幅器の回路図。

【符号の説明】

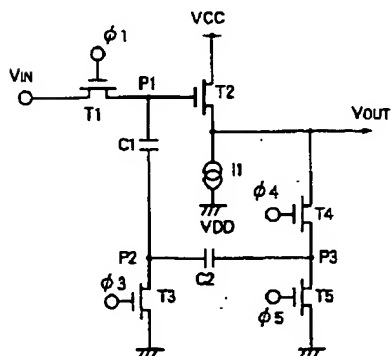
VIN 入力

VOUT 出力

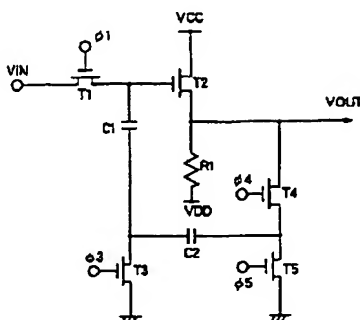
T1～T5、T101～T111 薄膜トランジスタ（TFT）

C1～C2、C11～C13 キャパシタ

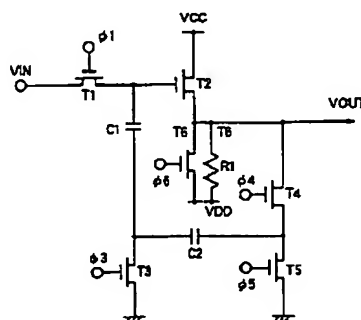
【図1】



【図3】

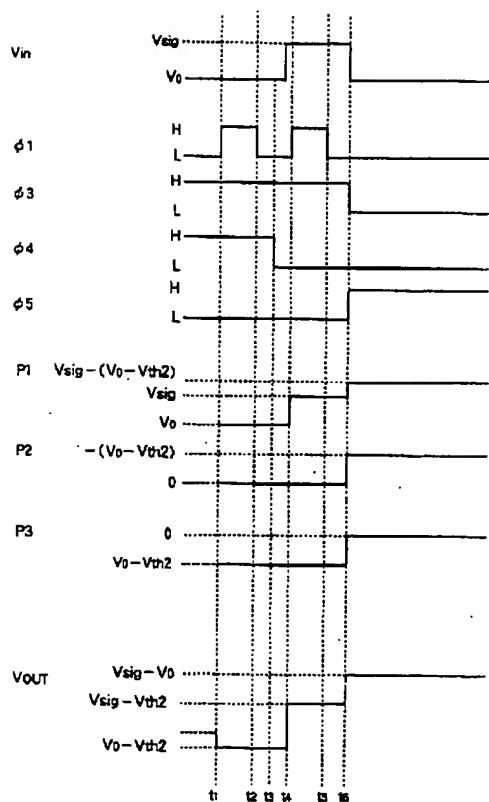


【図4】

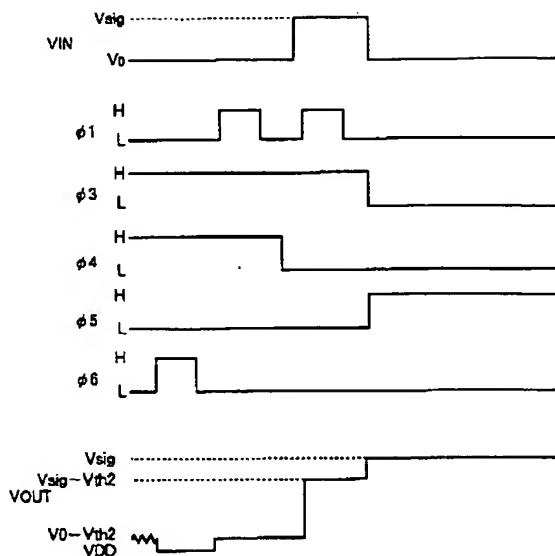




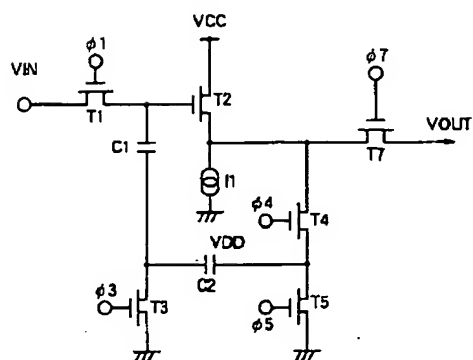
【図2】



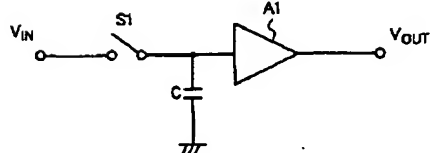
【図5】



【図6】



【図11】



【図7】

